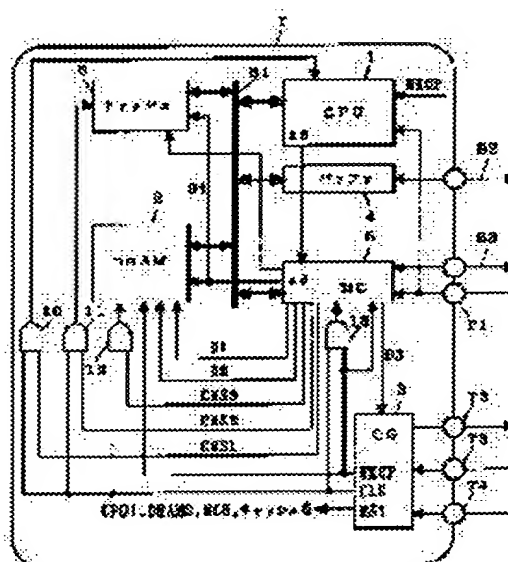


(43)Date of publication of application : 22.05.1998

G06F 15/78

(72)Inventor : IWATA SHUNICHI  
SATO MITSUGI

**SOLUTION:** When '10' is written by a CPU 1 in a register RG provided in a controller 5, the logic of a CPU clock mask signal CMS1 inputted to one input terminal of a gate 10 becomes '0' and a clock signal CLK is cut off by the gate 10 and not transmitted to the CPU 1. Consequently the CPU 1 stops and the power consumption is suppressed. For a recovery from this state a user inputs an interrupt request to the controller 5 through a terminal T1. The controller 5 receives it, sets the logic of the CPU 1 clock mask signal CMS1 to '1' and inputs the signal to an AND gate 10 to supply again the clock signal CLK to the CPU 1. The CPU 1 starts the operation at the same time when the supply of the clock signal CLK is restored to perform a process for executing the interrupt request.



[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-133714

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.<sup>8</sup>  
 G 0 5 B 19/02  
 15/02  
 19/05  
 G 0 6 F 1/32  
 1/04

識別記号

3 0 1

F I

G 0 5 B 19/02 W  
 G 0 6 F 1/04 3 0 1 C  
 15/78 5 1 0 P  
 G 0 5 B 15/02 W  
 19/05 J

審査請求 未請求 請求項の数 4 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平8-286603

(22) 出願日 平成8年(1996)10月29日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 岩田 俊一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 佐藤 貢

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

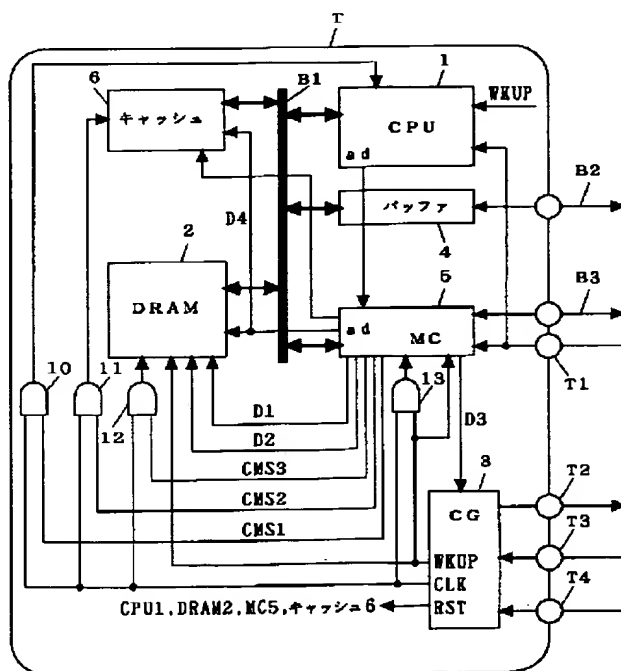
(74) 代理人 弁理士 吉田 茂明 (外2名)

(54) 【発明の名称】 集積回路装置

(57) 【要約】

【課題】 処理回路及び記憶回路の動作を制御する制御回路を備える、操作性の良い集積回路装置を提供する。

【解決手段】 コントローラ5内に備わるレジスタRGにCPU1から“10”が書き込まれると、ゲート10の一方の入力端子に入力されるCPU用クロックマスク信号CMS1の論理が“0”となり、クロック信号CLKはゲート10によって遮断されCPU1には伝わらない。これによってCPU1は停止し、CPU1における電力の消費が抑えられる。この状態から復帰するためには、使用者は端子T1を介して割り込み要求をコントローラ5に入力する。コントローラ5はこれを受け、CPU1用クロックマスク信号CMS1の論理を“1”にしてANDゲート10に入力し、CPU1にクロック信号CLKを再び供給する。CPU1はクロック信号CLKの供給が復活すると同時に動作を開始し、割り込み要求を実行するための処理を行う。



**【特許請求の範囲】**

【請求項1】 同期信号の発生を待機要求が与えられた際には停止する同期信号発生回路と、前記同期信号を受けつつ命令を実行する処理回路と、前記同期信号を受けつつ動作し、自己制御要求を受けた際には孤立的に自身の内容の保持行為を行う記憶回路と、前記処理回路から自身に与えられる書き込み信号によって与えられる値が第1の論理を示す際には、前記自己制御要求及び前記待機要求の順次的付与を行う制御回路とを備える、集積回路装置。

【請求項2】 請求項1に記載の集積回路装置であって、更にキャッシュを備え、前記値が前記第1の論理を示す際には、前記制御回路は前記順次的付与を行う前に該キャッシュに対してページ処理を行う、集積回路装置。

【請求項3】 請求項2に記載の集積回路装置であって、前記制御回路は、前記ページ処理及び前記順次的付与を行う際に、自身への割り込み要求をシャットアウトする、集積回路装置。

【請求項4】 請求項1に記載の集積回路装置であって、前記制御回路は、前記値が第2の論理を示す際には、自身によって生成するイネーブル信号の論理を“不許可”とすることによって、前記同期信号の前記処理回路への入力を選択的に遮断する、集積回路装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、内容の保持行為が必要な記憶回路、即ちDRAMを備える集積回路装置に関する。

**【0002】**

【従来の技術】図6は、従来技術に従うマイクロコントローラを含む回路を示す回路図である。従来の回路構成においては、CPU1を含むマイクロコントローラと、DRAM2とは同じチップ上には形成されず、異なるチップに各々形成されたCPU1及びDRAM2が組み合わされて使用されていた。また、キャッシュ6は、DRAM2と同一のチップ上には形成されておらず、CPU1と同一のチップ上に形成されている。

【0003】このようなシステム構成においては、低消費電力化のためにCPU1及びDRAM2双方を停止させるモード（スタンバイモード）に移行するためには、使用者は以下のような処理を順に行わなければならない。

【0004】従来処理1. キャッシュ6のページ処理を行い、従来処理2. DRAMコントローラにアクセスすること

によってDRAM2をセルフリフレッシュモードに設定し、DRAM2の記憶内容の保持のための動作を行わせ、従来処理3. CPU1の動作を停止するモードに移行し、CPU1の動作を停止する。

**【0005】**

【発明が解決しようとする課題】例えば従来処理2と従来処理3との間に割り込みが入った場合には、セルフリフレッシュモード下にあるDRAM2はアクセスできない状態であるのに、CPU1はまだ動作しているという状態となる。このような場合にはCPU1から応答不能なDRAM2にアクセス要求が発生することも有り得る。このような矛盾した状態となることは、回避されねばならない。

【0006】このためには使用者は、上述の処理の際に図6に示される回路が割り込み禁止状態になるように設定する等の対策を講じ、従来処理1～従来処理3までの間の中途半端な状態にて通常の処理が行われることを未然に防止せねばならない。このような対策を講ずるのは使用者にとって負担であり、マイクロコントローラの操作性が悪いという問題点があった。

【0007】本発明は以上の問題点に鑑み、処理回路及び記憶回路の動作を制御する制御回路を備える、操作性の良い集積回路装置を提供することを目的とする。

**【0008】**

【課題を解決するための手段】請求項1に記載の集積回路装置は、同期信号の発生を待機要求が与えられた際には停止する同期信号発生回路と、前記同期信号を受けつつ命令を実行する処理回路と、前記同期信号を受けつつ動作し、自己制御要求を受けた際には孤立的に自身の内容の保持行為を行う記憶回路と、前記処理回路から自身に与えられる書き込み信号によって与えられる値が第1の論理を示す際には、前記自己制御要求及び前記待機要求の順次的付与を行う制御回路とを備える。

【0009】請求項2に記載の集積回路装置は、請求項1に記載の集積回路装置であって、更にキャッシュを備え、前記値が前記第1の論理を示す際には、前記制御回路は前記順次的付与を行う前に該キャッシュに対してページ処理を行う。

【0010】請求項3に記載の集積回路装置は、請求項2に記載の集積回路装置であって、前記制御回路は、前記ページ処理及び前記順次的付与を行う際に、自身への割り込み要求をシャットアウトする。

【0011】請求項4に記載の集積回路装置は、請求項1に記載の集積回路装置であって、前記制御回路は、前記値が第2の論理を示す際には、自身によって生成するイネーブル信号の論理を“不許可”とすることによって、前記同期信号の前記処理回路への入力を選択的に遮断する。

**【0012】**

【発明の実施の形態】本実施の形態においては、自己制御要求及び待機要求をそれぞれ記憶回路及び同期信号発生回路に順次的に与えることによって、記憶回路に自身の内容の保持行為を行わせ同期信号発生回路を停止する制御回路を備える集積回路装置について示す。従来技術と同一の構成、構造には同一の参照符号を付す。

【0013】図1は、本実施の形態に従うマイクロコントローラの構造を例示する回路図である。同図に示されるように、CPU1とDRAM2とは単一のチップT上に形成されている。以下、図1に示される回路構成の概要を説明する。

【0014】CPU1、DRAM2、バッファ4、メモリコントローラ（MC）5及びキャッシュ6は内部データバスB1に接続されている。CPU1は、DRAM2とキャッシュ6とのアクセスが可能である。バッファ4は内部データバスB1と外部データバスB2とを接続しており、CPU1はバッファ4を介してチップT外部のデバイスとアクセスすることが可能である。また、チップT外部からDRAM2やキャッシュ6とアクセスすることが可能である。図6に図示されている、タイマ等を含む周辺回路は、本発明の特徴とは関連がないので説明及び図1における図示を省略されている。

【0015】以上の構成要素に関するバスアクセスの制御は、メモリコントローラ5が行う。バスアクセスの制御は従来の制御方法に準ずるものであり、本発明の本質ではないため説明を省略する。メモリコントローラ5は、後述のページ処理を行う際にDRAM2及びキャッシュ6へとアドレスを与えこれらの回路を制御する。アドレスに関する矢印には、“a d”が付されている。この様子は、図1においてメモリコントローラ5からDRAM2及びキャッシュ6へと分岐する矢印にて示されている。

【0016】以下に、チップT上に集積された回路の機能について説明を行う。まず、CPU1について説明を行う。CPU1は、クロックジェネレータ（CG）3からのクロック信号CLKに同期して動作する回路であり、自身に割り込み要求が入力された際には、命令の実行を中断して、プログラムカウンタ値やCPU1の状態などの情報を予め決められたレジスタに退避した後、予め決められた番地にある命令の実行を開始する。割り込み要求に対するこれらの処理は従来の処理方法に準ずるものであり、本発明の本質ではないため説明を省略する。また、CPU1は、クロックジェネレータ3によって与えられる内部ウェイクアップ信号WKUP及び内部リセット要求RSTの入力に応じて自身の状態が初期化される。

【0017】次に、DRAM2及びキャッシュ6の機能について説明を行う。DRAM2及びキャッシュ6はCPU1と同様に、クロックジェネレータ3のクロック信号CLKに同期して動作する。但し、DRAM2自身に

よる孤立的なリフレッシュ動作を実現するために、クロック信号CLKに同期しないセルフリフレッシュ用のカウンタがDRAM2には備えられている。

【0018】DRAM2をリフレッシュするモードとしては、オートリフレッシュモードとセルフリフレッシュモードがある。オートリフレッシュモードとは、メモリコントローラ5からのオートリフレッシュ要求D1に応じてリフレッシュ動作を行うモードである。

【0019】一方セルフリフレッシュモードとは、セルフリフレッシュ要求D2に応じてDRAM2内のセルフリフレッシュ用カウンタによってリフレッシュ動作を行うモードである。セルフリフレッシュモードにおいては、DRAM2への入力信号がどのようなであっても、セルフリフレッシュ用カウンタによってリフレッシュ動作のみが行われる。

【0020】キャッシュ6は本実施の形態においてはコピーバック（ライトバック）方式であり、そのことを前提として説明を行う。しかし、コピーバック方式のみに限定されるものではなく、ライトスルー方式でも良い。DRAM2及びキャッシュ6は、内部リセット要求RSTによって初期化される。

【0021】次に、クロックジェネレータ3について説明を行う。クロックジェネレータ3は、外部からの図示されないクロック入力をもとにチップT内部のクロック信号CLKを生成する回路である。クロックジェネレータ3は、メモリコントローラ5からスタンバイ要求D3が入力されると、クロック発振を停止すると共に、スタンバイ端子T2を介して与える論理を“0”にする。後述のスタンバイモードにおいて、スタンバイ状態であることを外部に明示する為である。

【0022】また、クロックジェネレータ3は、端子T3を介して外部ウェイクアップ要求が入力されるとクロック発振を再開する。クロック発振が安定した後、クロックジェネレータ3は、内部ウェイクアップ要求WKUPをCPU1、DRAM2及びメモリコントローラ5に与えると共に、スタンバイ端子T2を介して与える信号の論理を“1”にする。クロックジェネレータ3は、外部リセット要求が端子T4を介して入力される場合にもクロック発振を再び開始し、この場合には内部リセット要求RSTを出力する。

【0023】内部ウェイクアップ要求WKUPと内部リセット要求RSTとの違いについて説明を行う。内部リセット要求RSTは、これを受けた全ての回路の状態を初期化する。一方、内部ウェイクアップ要求WKUPを受けた回路には、初期化されるものもあればされないものもある。

【0024】CPU1は、内部リセット要求RSTもしくは内部ウェイクアップ要求WKUPの入力に応じて初期化を行う。その後、内部リセット要求RSTの入力の際には内部リセット要求RSTに固有の、内部ウェイク

10

20

30

40

50

アップ要求WKUPの入力の際には内部ウェイクアップ要求WKUPに固有の番地にある命令から実行を開始する。

【0025】DRAM2は、内部ウェイクアップ要求WKUPを受けた際にはセルフリフレッシュモードからオートリフレッシュモードへと移行するが、内部リセット要求RSTを受けた場合には自身の状態が初期化された後、オートリフレッシュモードにて動作する。

【0026】次に、メモリコントローラ5について説明を行う。メモリコントローラ5は、クロックジェネレータ3からのクロック信号CLKに同期しつつ動作を行う。また、メモリコントローラ5は、チップTの内部におけるバスアクセス制御と、チップTの内部と外部とを行き来する信号に関するバスアクセス制御とを一手に引き受けている。

【0027】図2は、図1に示されるメモリコントローラ5の構成を示す回路図である。メモリコントローラ5には、オートリフレッシュ用カウンタRCとMC作動回路5aとが備えられている。MC作動回路5aは、バスオペレーション制御回路BOC及び低消費電力制御回路LECCを含む。低消費電力制御回路LECCには、低消費電力制御レジスタRGが内蔵されている。このような回路構成に基づき、メモリコントローラ5はオートリフレッシュ用カウンタRCを用いてDRAM2のリフレッシュを通常時に行う。

【0028】詳細な説明は後に行うものとして、メモリコントローラ5が行う機能の概要について述べる。メモリコントローラ5は、バスオペレーション制御回路BOCによってキャッシュ6のページ処理を行う。メモリコントローラ5は、内部データバスB1を介してCPU1からアクセス可能である。また、クロックジェネレータ3からの内部リセット要求RSTによって初期化される。

【0029】メモリコントローラ5は、図1に示されるように、CPU用クロックマスク信号CMS1、キャッシュ用クロックマスク信号CMS2及びDRAM用クロックマスク信号CMS3を出力する回路である。クロックマスク信号とは、クロック信号CLKのイネーブル信号である。メモリコントローラ5は、端子T1を介する割り込み要求と、内部リセット要求RSTと、内部ウェイクアップ要求WKUPとのうちのいずれかの入力によって、CPU用クロックマスク信号CMS1の論理を“1”にする。

【0030】次に、上記の各回路の機能を踏まえた上で、図1に示されるマイクロコントローラの処理動作について説明を行う。本発明の集積回路においては、メモリコントローラ5に内蔵されている低消費電力制御レジスタRGに記憶されている値を使用者が変更するという極めて簡易な操作によって、CPU1及びDRAM2を低消費電力モードに移行させることが可能である。

【0031】低消費電力モードには、CPUスリープモード及びスタンバイモードの2通りが存在する。CPUスリープモードとは、CPU1とクロック信号CLKとを遮断することによって、CPU1だけを停止するモードである。一方、スタンバイモードとは、クロックジェネレータ3のクロック発振が完全に停止され、DRAM2の内容保持のみが行われるモードである。

【0032】CPUスリープモードにおいては、CPU1の消費すべき分だけ消費電力が節約される。CPU1だけが停止されるので、チップT外部からDRAM2へのアクセスは可能である。一方スタンバイモードにおいては、クロック発振が完全に停止されるので、チップT全体の消費電力は、DRAM2の内容保持のために行われるセルフリフレッシュ動作に要する分にほぼ等しい。

【0033】本実施の形態のマイクロコントローラにおいては、低消費電力制御レジスタRGに記憶されている値が“10”である場合にはCPUスリープモードに、“11”である場合にはスタンバイモードに移行する。しかしこのような値はあくまでも例示であり、“10”、“11”以外の値を用いることはもちろん可能である。なお、低消費電力制御レジスタRGの値は、内部リセット信号RSTが与えられた場合には“00”に設定される。

【0034】まずCPUスリープモードに関する回路動作について説明を行い、その後にスタンバイモードについて説明を行う。CPUスリープモードへと移行するには、使用者はCPU1に低消費電力制御レジスタRGに“10”を書き込む命令を実行させる。CPU1は、この命令を実行するために、低消費電力制御レジスタRGのアドレスをメモリコントローラ5に対して出力するとともに、“10”のデータを内部データバスB1を介して低消費電力制御レジスタRGに書き込む。

【0035】すると、図2に示される低消費電力制御回路LECCは低消費電力制御レジスタRGの“10”を判断し、図1に示されるANDゲート10の一方の入力端子に入力されるCPU用クロックマスク信号CMS1の論理を“0”とする。ここで、ANDゲート10は、CPU1へのクロック信号CLKの入力に関する導通／遮断を切り替えるために設けられたものである。

【0036】ANDゲート10が一方の入力端子において“0”を入力されるので、ANDゲート10の他方の入力端子にクロックジェネレータ3から入力されているクロック信号CLKはCPU1には伝わらない。これによってCPU1は停止し、CPU1における電力の消費が抑えられる。

【0037】CPUスリープモードから復帰するためには、まず使用者は端子T1を介して割り込み要求をメモリコントローラ5に入力する。メモリコントローラ5はこれを受け、CPU1用クロックマスク信号CMS1の論理を“1”にしてANDゲート10に入力し、CPU

10

20

30

40

50

1にクロック信号CLKを再び供給する。CPU1はクロック信号CLKの供給が復活すると同時に動作を開始し、端子T1を介して自身に輸入された割り込み要求を実行するための処理を行う。

【0038】次に、スタンバイモードに移行するための手順について説明を行う。まず、使用者は低消費電力制御レジスタRGに“11”の書き込みを行う命令を実行させる。すると、移行シーケンス1においてメモリコントローラ5は“11”を判断し、CPU1用クロックマスク信号CMS1の論理を“0”にする。これによって、CPU1へのクロック信号CLKの供給が停止され、CPU1は動作を止める。これによって、CPU1からの新たなバスアクセス要求は発生しなくなる。また、割り込み要求があっても割り込み処理は実行されない。

【0039】次に移行シーケンス2において、メモリコントローラ5はキャッシュ6のページ処理を、ページ要求D4を与えることによって行う。キャッシュ6はコピーバック方式であるので、DRAM2には古いデータしかなく、キャッシュ6にのみ最新のデータが存在している状態が発生し得る。このようなデータをダーティなデータと呼ぶ。キャッシュ6に登録されているデータを無効化する際には、このダーティなデータをキャッシュ6からDRAM2に書き戻す処理が必要である。そこで、ダーティなデータに関して、メモリコントローラ5は以下の処理を行う。

【0040】図3は、ページ処理の際の信号のやり取りの様子を例示する回路図である。まず、メモリコントローラ5は自身のキャッシュエントリアドレスカウンタCEACの内容を初期状態に戻す。そして、キャッシュエントリアドレスカウンタCEACのエントリアドレスを、キャッシュ6のエントリ毎にキャッシュ6へと出力する。エントリとは、キャッシュの登録単位である。

【0041】キャッシュ6は、入力されたエントリアドレスに応ずるダーティ信号及びタグアドレスをメモリコントローラ5へと出力する。またキャッシュ6は、内部バスB1へとダーティ信号及びタグアドレスと対であるデータを出力する。

【0042】ダーティ信号とは内部バスB1へと出力されたデータが書き戻されるべきかを“0”，“1”によって表す信号である。書き戻しを行うべきかはこのダーティ信号に応じてメモリコントローラ5によって判別される。書き戻しの必要があると判断された際には、エントリアドレスとタグアドレスとが結合される。内部バスB1のデータは、結合されて構成されたアドレスに応じてDRAM2へと書き込まれる。この書き込みはライト要求によって行われる。

【0043】全てのエントリに対して以上の処理を行うことによって、ダーティなデータの書き戻しが終了する。その後、バリッドビットクリア要求によって、バリ

ッドビットのクリアが行われる。バリッドビットは、有効なデータが存在するか否かをエントリ毎に示すビットである。以上の一連の回路動作によって、キャッシュ6のページ処理が果たされる。

【0044】コピーバック方式のキャッシュ6が用いられているとして説明を行ったが、ライトスルー方式の場合にはダーティなデータの書き戻しが不必要となる。この場合にも、メモリコントローラ5がキャッシュ6のバリッドビットのクリアを行うというページ処理が必要であることには変わりない。

【0045】また、スタンバイモード中においても内容が保持されているようなキャッシュを用いた場合には、ページ処理を行う必要はない。この場合には、移行シーケンス2の処理は不要となる。

【0046】移行シーケンス2においてキャッシュに保存されていたデータの書き戻しがなされた後に、移行シーケンス3においてメモリコントローラ5は、セルフリフレッシュ要求D2によってDRAM2をセルフリフレッシュモードへと移行させる。移行シーケンス2及び移行シーケンス3の処理によって、DRAM2及びキャッシュ6へのクロック信号CLKの供給を停止する準備が整ったことになる。

【0047】次に移行シーケンス4において、メモリコントローラ5はキャッシュ用クロックマスク信号CMS2とDRAM2用クロックマスク信号CMS3とを共に“0”にする。これによって、ANDゲート11、12の出力の値が“0”となり、キャッシュ6及びDRAM2とクロック信号CLKとは遮断される。

【0048】次に移行シーケンス5において、メモリコントローラ5は、クロックジェネレータ3に図1に示されるスタンバイ要求D3を与える。クロックジェネレータ3はスタンバイ要求を受けてクロック発振を停止するとともに、スタンバイ端子T2を“0”にすることによってチップT外部にスタンバイ状態になったことを知らせる。

【0049】移行シーケンス1～移行シーケンス5中には、メモリコントローラ5は他のバスオペレーション及び割り込みを受け付けない。これによって、DRAM2はアクセスできないのにCPU1は稼動中であるような中途半端な状態に陥ることが回避される。

【0050】移行シーケンス2においてメモリコントローラ5がページ処理を自動的に行うので、使用者はページ処理のための従来の操作を行う必要がなくなる。これによって、使用者の負担が軽減される。

【0051】次に、スタンバイモードからの復帰シーケンスについて説明を行う。復帰シーケンスは、端子T3を介する外部ウェイクアップ要求の入力に応じて開始される。

【0052】復帰シーケンス1. 外部ウェイクアップ要求が自身に輸入されると、クロックジェネレータ3はク

10

20

30

40

50

ロック発振を再開する。このとき、内部ウェイクアップ要求WKUPは“0”であり、これが一方の入力端子に入力されているANDゲート13によって、クロック信号CLKはメモリコントローラ5には入力されないままである。また、クロックジェネレータ3はスタンバイ端子T2を介して与える信号の論理を“1”にして、スタンバイ状態から抜け出たことをチップTの外部へと知らせる。

【0053】復帰シーケンス2. クロックジェネレータ3は、クロック発振が安定した後に内部ウェイクアップ信号WKUPの論理を“1”にする。これによって、メモリコントローラ5にはクロック信号CLKが供給され通常動作を開始する。また、DRAM2は、内部ウェイクアップ要求WKUPが“1”になったことによってセルフリフレッシュモードからオートリフレッシュモードへと移行する。

【0054】復帰シーケンス3. メモリコントローラ5は、CPU用クロックマスク信号CMS1、キャッシュ用クロックマスク信号CMS2及びDRAM用クロックマスク信号CMS3を全て“1”にして、CPU1、DRAM2及びキャッシュ6へとクロック信号CLKを与える。

【0055】復帰シーケンス4. CPU1はウェイクアップ処理を実行する。

【0056】以上がCPUスリープモード及びスタンバイモードに関する回路動作である。次に、本発明の要たるメモリコントローラ5の構成を詳細に説明する。

【0057】図4は、メモリコントローラ5の構成を例示する回路図である。バスオペレーション制御回路BOCは、CPU1、DRAM2、キャッシュ6及び、チップTの外部に存在する外部インターフェース(I/F)回路と制御信号のやり取りを互に行い、これらの回路からのまたは回路へのアドレスの入出力を行う。オートリフレッシュ要求D1はバスオペレーション制御回路BOCから出力される。

【0058】低消費電力制御回路LECCは、バスオペレーション制御回路BOCからの低消費電力レジスタ(RG)書き込み信号に応じて、低消費電力レジスタRGに値が書き込まれる。

【0059】低消費電力制御回路LECCに備わるCPUスリープモードビットbit1及びスタンバイモードビットbit2の否定論理和たる信号は、CPU用クロックマスク信号CMS1となる。即ち、CPUスリープモードビットbit1又はスタンバイモードビットbit2のいずれかがセットされることによって、CPU用クロックマスク信号CMS1は“0”となり、CPU1へのクロック信号の供給が遮断されることになる。また、スタンバイモードビットbit2の論理は、スタンバイモードへの移行処理を行わせる指示として、バスオペレーション制御回路BOCへと出力される。

【0060】低消費電力制御回路LECCに備わるページ処理要求ビットbit3の論理は、バスオペレーション制御回路BOCへのページ処理要求として矢印のように出力される。バスオペレーション制御回路BOCは、ページ処理要求の論理が「遂行」を表すときには、キャッシュ6のバリッドビットのクリア及びダーティなデータの書き戻しを行い一連のページ処理を為す。ページ処理の終了時には低消費電力制御回路LECCへとページ処理終了を告げる。

【0061】バスオペレーション制御回路BOCは、スタンバイモードビットbit2がセットされている間は、ページ処理要求ビットbit3の論理によるページ処理要求に関するバスオペレーション以外のバスオペレーションは受け付けない。

【0062】低消費電力制御回路LECCには更に、セルフリフレッシュ要求ビットbit4と、DRAM及びキャッシュ用クロックマスク要求ビットbit5と、スタンバイ要求ビットbit6とが備えられている。これらの論理によってそれぞれ、セルフリフレッシュ要求D2と、キャッシュ用クロックマスクCMS2及びDRAM用クロックマスクCMS3と、スタンバイ要求D3とが与えられる。

【0063】図5は、ビットbit1～bit6のセット条件及びクリア条件に関する図である。セット条件とは任意のビットの示す論理が例えば“1”に設定されることであり、クリア条件とは“0”に設定されることであり、同図に示される条件に従って、それぞれのビットbit1～bit6が示す論理は、低消費電力制御回路LECCに備わる回路によって決定される。

【0064】同図に示される“and”は、条件が揃ったときにビットの値が設定されることを示す。“or”は、複数の条件のうちいずれか1つが成立した場合にビットの値がクリアされることを示す。また、「サイクル」とは、クロック信号の1サイクルを表している。

【0065】以上のような機能を有するバスオペレーション制御回路BOC及び低消費電力制御回路LECCを備えるMC作動回路5aは、Verilog-HDL等を用いて機能記述を行うことによって設計することが可能である。

【0066】本発明のマイクロコントローラにおいては、低消費電力制御レジスタRGへの値の書き込みという簡易な操作のみによって消費電力を節約することが可能となる。CPU1及びDRAM2が集積されたチップTをメモリとして使用したい場合には、CPUスリープモードとして、機能する必要のないCPU1を停止させれば良い。

【0067】また、チップT上の回路が必要とされないときにスタンバイモードにてクロック信号CLKの生成を完全に停止しても、DRAM2の内容の保持は行われる。これに要する処理は低消費電力制御レジスタRGに

書き込まれた値に応じてメモリコントローラ5によって自動的に行われる。

【0068】 以上のような構成によって、本発明のマイクロコントローラを用いる使用者の負担は、従来に比べ大幅に軽減される。

【0069】

【発明の効果】 請求項1に記載の構成によれば、記憶回路における内容の保持行為と処理回路の停止とを順次的に行うことが制御回路によって自動的に実現される。使用者は、値の論理を第1の論理とするという簡易な操作を行うだけでよい。順次的付与がなされた状態における集積回路装置の消費電力は保持行為に要する分にほぼ等しくなり、使用者の手を煩わせることなく消費電力の低減が簡易に果たされ、操作性の良い集積回路装置が提供される。

【0070】 請求項2に記載の構成によれば、キャッシュによって記憶回路を補助させ集積回路装置の高速化を図る場合に、使用者の代わりに制御回路がページ処理を行う。これによって、ページ処理に要する使用者の手間が省かれる。

【0071】 請求項3に記載の構成によれば、割り込み要求のシャットアウトによって、例えば応答不能である記憶装置に対して処理回路がアクセスするような中途半端な状態を自動的に回避することが可能となる。従って、従来必要であった割り込み要求をシャットアウトするための操作が使用者が行う必要がなくなり、使用者の負担が軽減される。

【0072】 請求項4に記載の構成によれば、集積回路装置全体を記憶装置として用いたい場合に、動作が不要な処理回路を選択的に停止することが可能となる。これによって、不要な消費電力のみが選択的に節約される。

【図面の簡単な説明】

\*

\* 【図1】 本発明の実施の形態のマイクロコントローラの構造の一例を示す回路図である。

【図2】 実施の形態のメモリコントローラの構造の一例を示す回路図である。

【図3】 実施の形態のマイクロコントローラが行うキャッシュのページ処理に関する信号の入出力の一例を示す回路図である。

【図4】 図2に示されるメモリコントローラの構造の一例を更に詳細に示す回路図である。

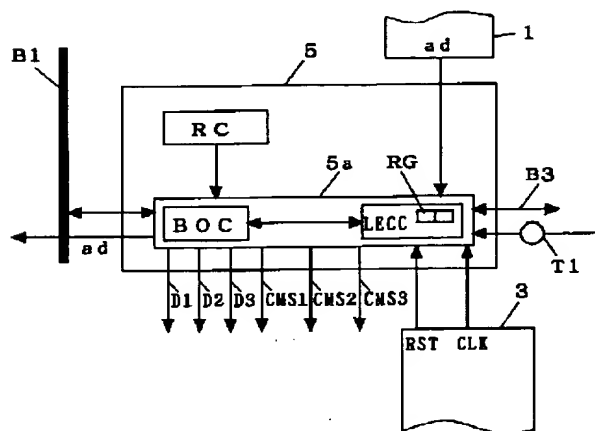
【図5】 図4に示されるメモリコントローラの機能に関する条件の構成の一例を示す図である。

【図6】 従来のマイクロコントローラを示す回路図である。

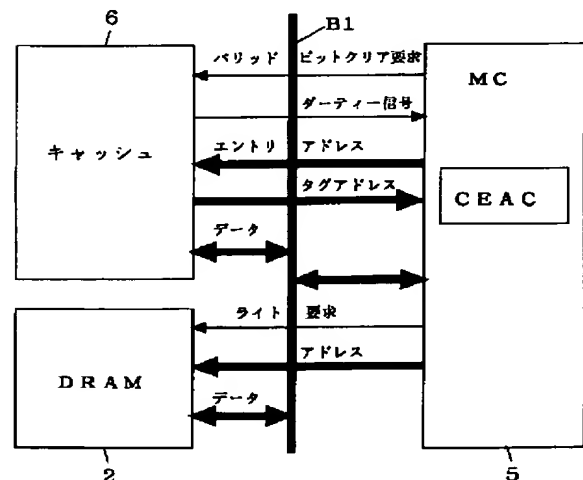
【符号の説明】

1 CPU、2 DRAM、3 クロックジェネレータ、4 バッファ、5メモリコントローラ、5a MC作動回路、6 キャッシュ、10～13 ANDゲート、B1 内部バス、B2 データバス、B3 アドレスバス、bit1 CPUスリープモードビット、bit2 スタンバイモードビット、bit3 ページ処理要求ビット、bit4 セルフリフレッシュ要求ビット、bit5 DRAM及びキャッシュ用クロックマスク要求ビット、bit6 スタンバイ要求ビット、BOC バスオペレーション制御回路、CEAC キャッシュエントリアドレスカウンタ、CMS1 CPU用クロックマスク信号、CMS2 キャッシュ用クロックマスク信号、CMS3 DRAM用クロックマスク信号、D1 オートリフレッシュ要求、D2 セルフリフレッシュ要求、D3 スタンバイ要求、LECC 低消費電力制御回路、RC オートリフレッシュ用カウンタ、RG 低消費電力制御レジスタ、T1～T4 端子。

【図2】

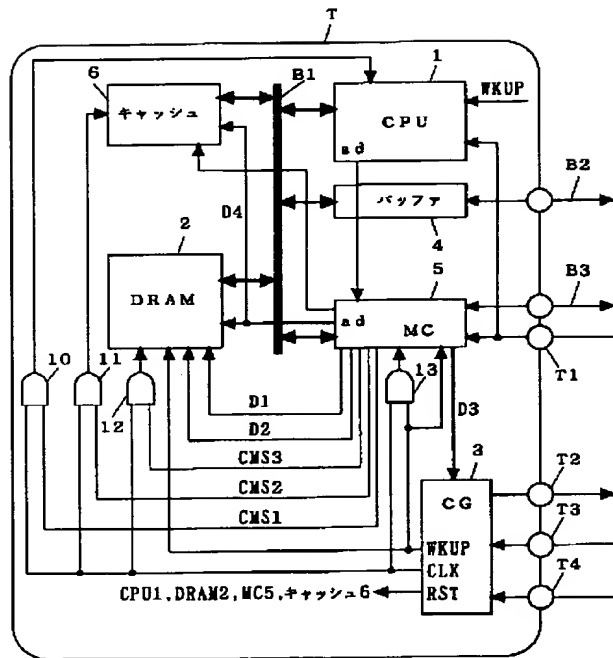


【図3】

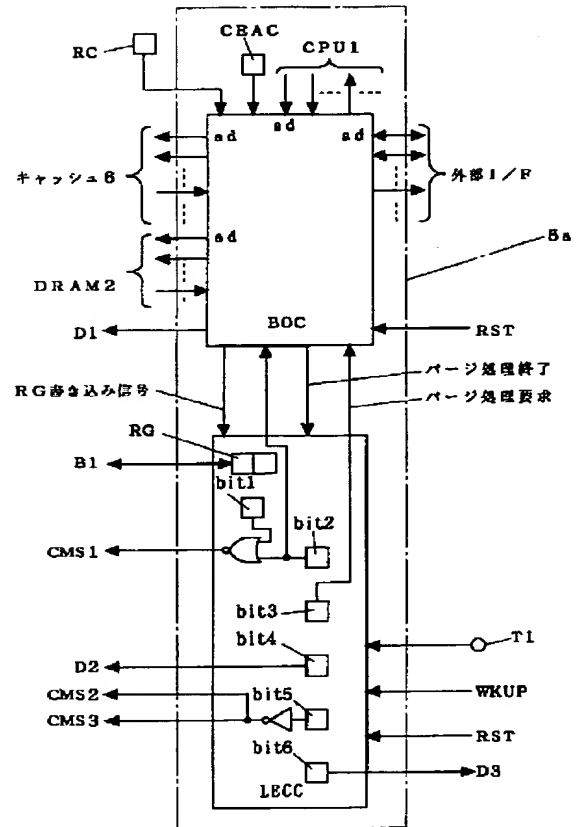




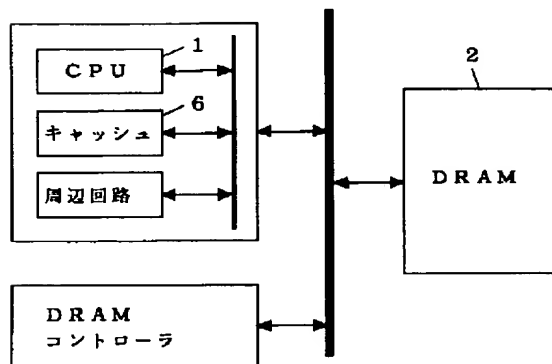
【図1】



【図4】



【図6】



【図5】

	セット条件	クリア条件
CPUスリープモードビット bit 1	RG書き込み信号 and 低消費電力制御レジスタRGの値 = "01"	条件1
スタンバイモードビット bit 2	RG書き込み信号 and 低消費電力制御レジスタRGの値 = "11"	条件2
ページ処理要求ビット bit 3	スタンバイモードビットbit 2がセット されて1サイクル後	ページ処理終了
セルフリフレッシュ要求 ビット bit 4	ページ処理終了の1サイクル後	条件2
クロックマスク要求ビット bit 5	セルフリフレッシュ要求ビット bit 4がセットされて1サイクル後	
スタンバイ要求ビット bit 6	クロックマスク要求ビットbit 5が セットされて1サイクル後	

条件1：割り込み要求 or 内部ウエイクアップ要求WKUP  
or 内部リセット要求RST

条件2：内部ウエイクアップ要求WKUP or 内部リセット要求RST

フロントページの続き

(51) Int. Cl.<sup>6</sup>

G 0 6 F 15/78

識別記号

5 1 0

F I

G 0 6 F 1/00

3 3 2 Z